

ゲート絶縁膜と利用したマトリクスパネル

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭62-10619

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)1月19日

G 02 F 1/133

1 1 8

D-8205-2H

G 09 F 9/35

1 2 9

B-7348-2H

G 09 G 3/36

6810-5C

H 01 L 27/12

8621-5C

7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリクスパネル

⑯ 特 願 昭60-150517

⑰ 出 願 昭60(1985)7月9日

⑱ 発 明 者 三 澤 利 之 阪訪市大和3丁目3番5号 株式会社阪訪精工舎内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称

アクティブマトリクスパネル

2 特許請求の範囲

(1) 複数のゲート線、複数のゲート極、該ゲート線によって導通・非導通を制御される薄膜トランジスタ群及び該薄膜トランジスタ群を介してゲート線に接続される液晶セル群より成るアクティブマトリクスパネルにおいて、

前記液晶セルより成るキャパシタと並列に、前記薄膜トランジスタのゲート絶縁膜と同一構造の絶縁膜を用いて形成されたMOSキャパシタを設けたことを特徴とするアクティブマトリクスパネル。

(2) 前記MOSキャパシタは、一方の電極を図案電極に、他方の電極を、縦方向に隣接する図案のゲート線又は一定電位のラインに接続したことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(3) 前記MOSキャパシタのナブストレートは不純物ドーパされないシリコン薄膜としたことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(4) 前記MOSキャパシタのナブストレートはP型又はN型に不純物ドーパされたシリコン薄膜としたことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜トランジスタ(以下、TFTと略記する)を用いて構成されたアクティブマトリクスパネルに関する。

〔発明の概要〕

本発明は、TFTによって液晶を駆動して成るアクティブマトリクスパネルにおいて、前記液晶より成るキャパシタを並列に、前記TFTと同一の構造を有するMOSキャパシタを設けることによって、液晶容量を見かけ上増大させ、表示性能

特開昭62-10619(2)

を向上させるものである。

〔従来の技術〕

ＴＦＴをスイッチング素子として利用したアクティブマトリクスパネルにおいて、従来、１画素分の画素部は、第７図に示す様に、ゲート線１、ゲート線２、ＴＦＴ３及び液晶セル４によって構成されていた。従来のアクティブマトリクスパネルは、薄膜トランジスタを構成要素として用いることによって、例えば、文獻「商品化された液晶ボケット・カラー・テレビ」（日経エレクトロニクス、１９８４年９月１０日号）に述べられている様な良好な性能を得ていた。しかし、画素寸法をより微細なものとし、より高精細なディスプレイを実現しようとする、以下に示す様な問題が顕在化してくる。

〔発明が解決しようとする問題点及び目的〕

従来のアクティブマトリクスパネルにおいて、一画素の寸法が仮に縦、横、ＴＦＴのオン抵抗が R_1 、オフ抵抗が R_2 、液晶セルの容量が C_0 であったとする。ここで、前述の従来パネルに対

を解決し、良好なコントラストを有し、かつ高精細なアクティブマトリクスパネルを提供することを目的とする。

〔問題点を解決するための手段〕

前述のごとく保持時間が短縮されるのを防ぐため、アクティブマトリクス基板内に、ＴＦＴのゲート絶縁膜と同一構造のＭＯＳキャパシタを形成し、液晶セルの見かけ上の容量値を増加させる。

〔作用〕

ＴＦＴ基板内に作り込めたＭＯＳキャパシタの容量値を C_M とすると、寸法を $\frac{1}{k}$ に縮小したアクティブマトリクスパネルの一画素の容量は $\frac{1}{k^2} \cdot C_0 + C_M$ となる。従って、非選択時の時定数は $R_1 \left(\frac{1}{k^2} \cdot C_0 + C_M \right)$ となり、画素に与えられた電荷の保持時間が短縮されるのを防ぐことが可能となる。この結果、コントラスト不良、クロストーク等を招くことなく、アクティブマトリクスパネルの高精細化を実現することが出来る。

〔実施例〕

以下、図面に基づいて本発明の実施例を詳細に

して、断面寸法を変えずに平面的な寸法の縮小を試みる。（断面寸法を変えするためには、ＴＦＴの製造プロセスの再構築と液晶のリターゲーションによるコントラストの低下に対する対策が必要であり、大変な困難を伴う。）仮に縮小率を $\frac{1}{k}$ とすると、新しいアクティブマトリクスパネルの画素寸法は、縦 $\frac{1}{k}$ 、横 $\frac{1}{k}$ となる。また、ＴＦＴのオン抵抗、オフ抵抗は、それぞれ R_1 、 R_2 と変わらず、液晶セルの容量は $\frac{C_0}{k^2}$ となる。即ち、アクティブマトリクスパネルを平面的に縮小することによって、画素選択時の時定数は $R_1 \cdot C_0 - \frac{1}{k^2} \cdot R_1 \cdot C_0$ に減少し、画素非選択時の時定数は $R_2 \cdot C_0 - \frac{1}{k^2} \cdot R_2 \cdot C_0$ に減少する。このため、画素への信号の書き込み時間が短くなる反面、画素に与えられた電荷の保持時間が $\frac{1}{k^2}$ に短縮され、液晶セルに印加されている電圧の実効値が減少する。このことは、アクティブマトリクスパネルに、コントラスト不良、クロストーク等の表示不良を引き起こす。

本発明は、以上に述べた様な、画素寸法の微細化に伴うアクティブマトリクスパネルの表示不良

説明する。

第８図に、アクティブマトリクスパネルの全体図を示す。同図において、５、６、７はゲート線、８、９、１０はデータ線、１１、１２、１３、１４は薄膜トランジスタ、１５、１６、１７、１８は液晶セルである。アクティブマトリクスパネルの動作については、文獻「商品化された液晶ボケット・カラー・テレビ」（日経エレクトロニクス、１９８４年９月１０日号）に詳しく述べられている。

第１図は、本発明のアクティブマトリクスパネルの構成を示した図である。同図において、１９はゲート線、２０はデータ線、２１は薄膜トランジスタ、２２は液晶セル、２３は薄膜トランジスタ２１と同一構造のＭＯＳキャパシタ、５６は液晶セルの対向電極である。ＭＯＳキャパシタ２３のゲート２５は、薄膜トランジスタ２１及び、液晶セル２２に接続され、ＭＯＳキャパシタ２３のタブストレートは、一定電位のライン２４に接続される。

特開昭62-10619 (3)

第1図のアクティブマトリクスパネルの断面構造の一例を第3図に示す。第3図において、26は透明基板、27、28は第1のシリコン薄膜、29、30はゲート絶縁膜、31、32は第二のシリコン薄膜、33は層間絶縁膜、34は透明導電膜、35は液晶、36は対向電極である。27、29、31は、それぞれ、薄膜トランジスタ21のサブストレート、ゲート絶縁膜、ゲートであり、28、30、32は、それぞれ、MOSキャパシタ23のサブストレート、ゲート絶縁膜、ゲートである。

第2図は、本発明のアクティブマトリクスパネルのもう一つの構成を示した図である。同図において、37はゲート線、38はデータ線、39は薄膜トランジスタ、40は液晶セル、41は薄膜トランジスタ39と同一構造のMOSキャパシタ、57は液晶セルの対向電極である。MOSキャパシタ41のサブストレート42は、薄膜トランジスタ39及び液晶セル40に接続され、MOSキャパシタ41のゲート43は一定電位のライン

位線62、63はMOSキャパシタ44、45が0V状態となる電位に固定される。

第4図は、第3図と異なり、定電位線を露装したゲート線で代用する。この場合、MOSキャパシタ69、70が常に0V状態とはならず、前記MOSキャパシタは、電荷を保持する働きをしない。この問題を解決するため、MOSキャパシタ69、70のサブストレートに選択的に2型又はN型の不純物イオンをドーピングする。即ち、第3図及び第4図において、MOSキャパシタのサブストレート28及び47に2型又はN型の不純物をドーピングした構造とする。

〔発明の効果〕

アクティブマトリクスパネルを本発明を用いて構成することによって、画素を微細化・高密度化した際に生ずる保持時間の減少によるコントラストの低下、クロストーク等の表示性能の劣化を防止することが可能となる。

本発明は、電荷保持用のキャパシタを、液晶セルと並列に、薄膜トランジスタのゲート絶縁膜と

44に接続される。

第2図のアクティブマトリクスパネルの断面構造の一例を第4図に示す。第4図において、45は透明基板、46、47は第1のシリコン薄膜、48、49はゲート絶縁膜、50、51は第2のシリコン薄膜、52は層間絶縁膜、53は透明導電膜、54は液晶、55は対向電極である。46、48、50は、それぞれ、第2図の薄膜トランジスタ39のサブストレート、ゲート絶縁膜、ゲートであり、47、49、51は、それぞれ第2図のMOSキャパシタ41のサブストレート、ゲート絶縁膜、ゲートである。

第5図及び第6図は、第1図の定電位線24及び第2図の定電位線44の構成を示した図である。第5図及び第6図では、便宜上MOSキャパシタを第1図の構成で示してあるが、これを第2図の構成に置き換えても本発明の主旨に反しない。

第5図は、縦方向に露あった二つの画素を示した図であり、58、59、60はゲート線、61はデータ線、62、63は定電位線である。定電

同一の構造で形成することにより、前記電荷保持用キャパシタの単位面積当たりの容量値を大きなものとする事が出来る。従って、画素内に占める電荷保持用キャパシタの面積比は小さくて済む。

また、電荷保持用のMOSキャパシタを常に0V状態に保つための定電位線を設けたことによって、電荷保持用キャパシタを作るための特別な製造プロセスを一切必要とせず、従来どうりのプロセスで製造可能となる。

一方、MOSキャパシタのサブストレートに不純物をドーピングする構造を採用すれば、製造プロセスは一工程増えるものの露装する画素のゲート線を用いてMOSキャパシタを形成出来、画素の開口率は大きく保たれる。

4. 図面の簡単な説明

第1図は本発明のアクティブマトリクスパネルの構成図。

第2図は本発明のもう一つの構成図。

第3図、第4図は、それぞれ、第1図、第2図

特開昭 62-10619 (4)

に示した本発明のアクティブマトリクスパネルの断面図。

第5図、第6図は、本発明のアクティブマトリクスパネル中のMOSキャパシタの接続を示した構成図。

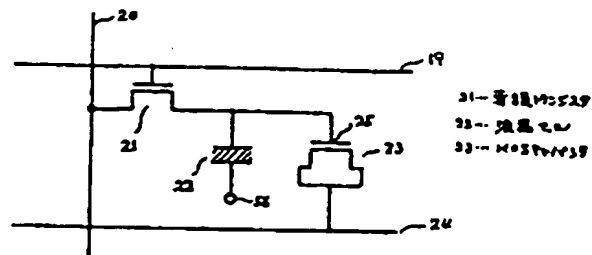
第7図は、従来の構成部の構成図。

第8図は、アクティブマトリクスパネルの全体図。

以上

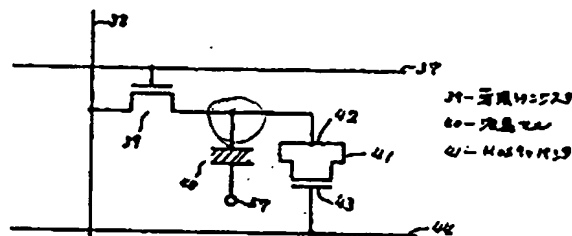
出願人 株式会社 豊紡 精工 会

代理人 弁理士 最上 昌



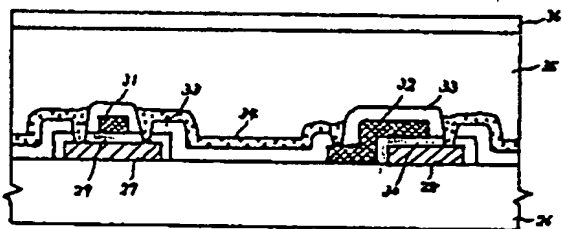
アクティブマトリクスパネルの構成図

第1図

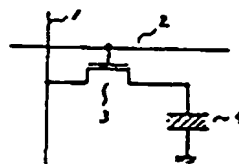


アクティブマトリクスパネルの構成図

第2図

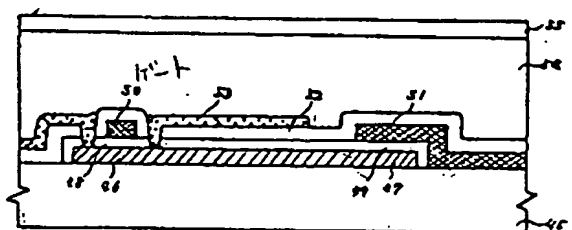


アクティブマトリクスパネルの断面図
第3図

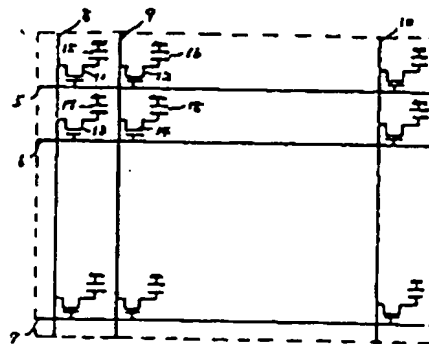


従来の構成部 - 断面図

第7図



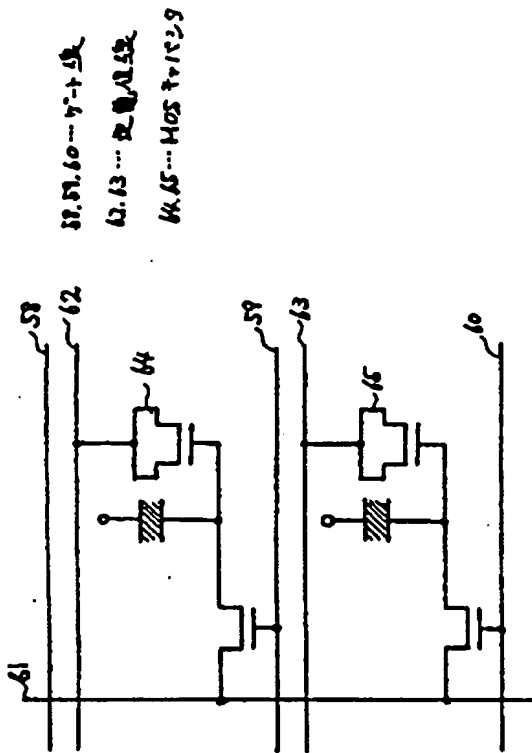
アクティブマトリクスパネルの断面図
第4図



アクティブマトリクスパネルの全体図

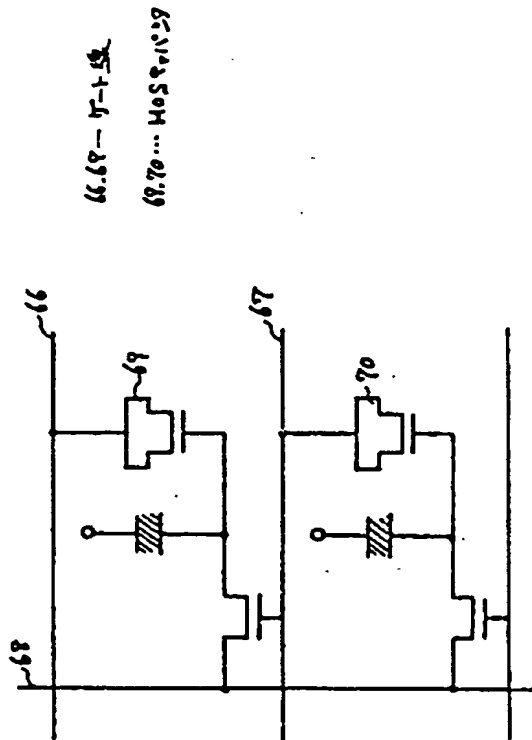
第8図

特開昭62-10619 (5)



2T1T2マトリクススイッチの構成図

第5図



2T1T2マトリクススイッチの構成図

第6図

Japanese Laid-Open Patent Appln 62-10619

ABSTRACT

An active matrix panel

An active matrix panel with an MOS capacitor that is formed by the use of an insulating film with the same structure as that of the gate insulating film of TFT, said MOS capacitor being parallel to a capacitor provided by the liquid crystal cells forming said panel.

One electrode of the said MOS capacitor is connected to each of the picture element electrodes and the other electrode is connected to a gate wiring for picture elements or a line at a fixed potential level that is adjacent thereto in the longitudinal direction.